

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030016758 A
 (43)Date of publication of application: 03.03.2003

(21)Application number: 1020010050470
 (22)Date of filing: 21.08.2001

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: CHO, SEONG HUI
 LEE, HYEONG GON

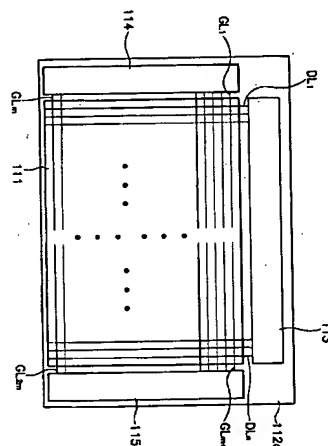
(51)Int. Cl. G02F 1/133

(54) LIQUID CRYSTAL DISPLAY

(57) Abstract:

PURPOSE: A liquid crystal display is provided to prevent movement of current between two gate driving circuits for driving a plurality of gate lines.

CONSTITUTION: A liquid crystal display includes a display area(111) where a plurality of pixels are arranged in a matrix form on a substrate(112a), a plurality of data lines(DL1,DLn) for supplying pixel data to each pixel column of the display area, and a data driving circuit(113) arranged in the first region surrounding the display area to drive the data lines. The liquid crystal display further includes the first gate lines(GL1,GLm) for supplying a scan pulse to a part of pixels of each pixel row of the display area, the first gate driving circuit(114) arranged in the second region surrounding the display area to drive the first gate lines, the second gate lines(GLm+1,GL2m) for providing the scan pulse to the other pixels of each pixel row of the display area, and the second gate driving circuit(115) arranged in the third region surrounding the display area to drive the second gate lines.



BEST AVAILABLE COPY

COPYRIGHT KIPO 2003

Legal Status

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. G02F 1/133	(11) 공개번호 (43) 공개일자	특2003-0016758 2003년03월03일
(21) 출원번호	10-2001-0050470	
(22) 출원일자	2001년08월21일	
(71) 출원인	삼성전자주식회사 대한민국 442-742 경기도 수원시 팔달구 매탄3동 416번지	
(72) 발명자	조성희 대한민국 463-901 경기도 성남시 분당구 이매동(이매촌) 삼성아파트 1008-1204 이형근 대한민국 449-845 경기도 용인시 수지구 죽전리 89-1 죽전현대1차아파트 103-1501	
(74) 대리인	박영우	
(77) 심사청구	없음	
(54) 출원명	액정표시장치	

요약

게이트 라인의 구동 특성을 향상시킬 수 있는 액정표시장치가 개시된다. 기판 상에 복수의 픽셀들이 매트릭스 형태로 형성된 표시영역에는 각 픽셀컬럼에 픽셀 데이터를 공급하기 위한 복수의 데이터 라인들을 포함한다. 또한, 각 픽셀로우 중 일부 픽셀들에 스캔펄스를 공급하기 위한 복수의 제 1 게이트 라인들 및 각 픽셀로우 중 나머지 일부 픽셀들에 스캔펄스를 공급하기 위한 복수의 제 2 게이트 라인들을 포함한다. 상기 복수의 데이터 라인들은 상기 표시영역의 제 1 주변에 배치된 데이터 구동회로에 의해 구동되며, 상기 제 1 및 제 2 게이트 라인들은 상기 표시영역의 제 2 및 제 3 주변에 배치된 제 1 및 제 2 게이트 구동회로에 의해 각각 구동된다. 따라서, 상기 제 1 및 제 2 게이트 구동회로 사이의 게이트 라인 구동 지연이 발생하여도 상기 제 1 및 제 2 게이트 구동회로 사이의 전류 이동을 방지할 수 있다.

대표도**도3****명세서****도면의 간단한 설명**

도 1은 종래의 TFT 기판의 구성을 나타낸 개략도이다.

도 2는 본 발명의 일 실시예에 따른 poly-si TFT LCD의 개략적인 분해 사시도이다.

도 3은 도 2에 도시된 TFT 기판의 구성을 나타낸 개략도이다.

도 4는 도 3에 도시된 게이트 구동 회로의 구체적인 블록도이다.

도 5는 도 4의 게이트 라인의 RC 지연 회로를 나타낸 회로도이다.

도 6은 본 발명의 다른 실시예에 따른 TFT 기판의 구성을 나타낸 개략도이다.

발명의 상세한 설명**발명의 목적**

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, 게이트 라인의 구동 특성을 향상시킬 수 있는 액정표시장치에 관한 것이다.

최근 들어 정보 처리 기기는 다양한 형태, 다양한 기능, 더욱 빨라진 정보 처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보처리 장치에서 처리된 정보는 전기적인 신호 형태를 갖는다. 사용자가 정보처리 장치에서 처리된 정보를 육안으로 확인하기 위하여 인터페이스 역할을 하는 디스플레이 장치를 필요로 한다.

최근에 액정표시장치가 대표적인 CRT방식의 디스플레이 장치에 비하여, 경량, 소형이면서, 고해상도 및 저전력의 잇점을 가지며 풀컬러화가 가능하여 차세대 디스플레이 장치로 부각되고 있다.

액정 표시 장치는 크게 TN(Twisted Nematic) 방식과 STN(Super-Twisted Nematic) 방식으로 나뉘고, 구동방식의 차이로 스위칭 소자 및 TN 액정을 이용한 액티브 매트릭스(Active matrix) 표시방식과 STN 액정을 이용한 패시브 매트릭스(passive matrix) 표시 방식으로 나뉜다. 액티브 매트릭스 표시 방식은 TFT를 스위치로 이용하여 LCD를 구동하는 방식이다.

TFT-LCD는 a-Si TFT LCD와, poly-Si TFT LCD로 구분된다. poly-Si TFT LCD는 소비전력이 작고, 가격이 저렴하지만 a-Si TFT와 비교하여 TFT 제조 공정이 복잡한 단점이 있다. 그래서, poly-Si TFT LCD는 IMT-2000 폰의 디스플레이와 같이 소형 디스플레이 장치에 주로 적용된다. 한편, a-Si TFT LCD는 대면적이 용이하고 수율이 높아서 주로 노트북 PC, LCD 모니터, HDTV 등의 대화면 디스플레이 장치에 적용된다.

poly-si TFT LCD는 기판 상에 데이터 라인 및 게이트 라인을 구동하기 위한 데이터 구동회로 및 게이트 구동회로가 poly-si TFT 공정에 의해 형성된다. 일반적으로 게이트 구동회로는 표시영역의 좌측에 배치된다. 그러나, 액정표시패널의 크기가 증가되면 게이트 라인에서 지연되는 시간이 길어지면서 액정표시패널의 화질의 저하가 발생된다.

이를 해결하기 위하여, 액정표시패널의 좌우 양측에 각각 게이트 구동회로를 배치한다.

도 1은 종래의 poly-si TFT LCD의 TFT 기판을 나타낸 평면도이다.

도 1을 참조하면, TFT 기판(10)에는 poly-si TFT 공정에 의해 표시영역(20) 및 상기 표시 영역(20)에 형성된 데이터 라인(21) 및 게이트 라인(22)을 구동하기 위한 데이터 구동회로(30), 제 1 및 제 2 게이트 구동회로(41, 42)들이 형성된다.

상기 표시 영역(20)은 poly-si TFT 공정에 의해 형성된 TFT(미도시), 상기 TFT의 드레인 전극과 연결된 투명화소전극(미도시), 상기 TFT의 데이터 전극과 연결되고, 상기 표시 영역(20)의 컬럼(column) 방향으로 연장된 복수의 데이터 라인(21)들 및 TFT의 게이트 전극과 연결되고 상기 표시 영역(20)의 로우(low) 방향으로 연장된 복수의 게이트 라인(22)들을 포함한다.

상기 복수개의 데이터 라인(21)들은 상기 기판 상의 일측에 형성된 상기 데이터 구동회로(30)와 각각 연결되고, 상기 복수개의 게이트 라인(22)들의 양단부는 상기 기판(10) 상의 좌우 영역에 각각 형성된 제 1 게이트 구동회로(41) 및 제 2 게이트 구동회로(42)와 각각 연결된다.

이와 같이, 상기 제 1 및 제 2 게이트 구동회로(41, 42)를 좌우 영역에 배치하면, 상기 게이트 라인(22)들은 좌우 영역에 구비된 제 1 및 제 2 게이트 구동회로(41, 42)에 의해 동시에 구동됨으로써 상기 게이트 라인(22)에서 지연되는 시간이 감소한다.

그러나, 상기 게이트 라인(22) 양단부에 제 1 및 제 2 게이트 구동회로(41, 42)가 연결됨으로써 상기 제 1 및 제 2 게이트 구동회로(41, 42)의 동작 지연 및 설계상의 문제로 인해, 상기 제 1 및 제 2 게이트 구동회로(41, 42) 사이에서 전류 이동이 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 기판상의 양측에 구비되는 복수개의 게이트 라인을 구동하기 위한 두 개의 게이트 구동회로 사이의 전류 이동을 방지할 수 있는 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 기판 상에 복수의 픽셀들이 매트릭스 형태로 형성된 표시영역, 상기 표시영역의 각 픽셀컬럼에 픽셀 데이터를 공급하기 위한 복수의 데이터 라인들, 상기 표시영역의 제 1 주변에 배치되어 상기 복수의 데이터 라인들을 구동하기 위한 데이터 구동회로, 상기 표시영역의 각 픽셀로우 중 일부 픽셀들에 스캔펄스를 공급하기 위한 복수의 제 1 게이트 라인, 상기 표시영역의 제 2 주변에 배치되어 상기 복수의 제 1 게이트 라인들을 구동하기 위한 제 1 게이트 구동회로, 상기 표시영역의 각 픽셀로우 중 나머지 일부 픽셀들에 상기 스캔펄스를 공급하기 위한 복수의 제 2 게이트 라인들 및 상기 표시영역의 제 3 주변에 배치되어 상기 복수의 제 2 게이트 라인들을 구동하기 위한 제 2 게이트 구동회로를 포함한다.

본 발명에서, 상기 픽셀로우들에서 제 1 게이트 라인들이 분담하는 각각의 픽셀 수가 모두 동일한 것이 바람직하다. 이때, 상기 각 픽셀로우에서 제 1 및 제 2 게이트 라인들이 분담하는 픽셀 수가 동일할 수 있다.

본 발명에서, 상기 각 홀수번째 픽셀로우에서는 제 1 게이트 라인이 분담하는 픽셀수가 제 2 게이트 라인이 분담하는 픽셀 수 보다 더 많고, 상기 각 짝수번째 픽셀로우에서는 제 1 게이트 라인이 분담하는 픽셀 수가 제 2 게이트 라인이 분담하는 픽셀 수 보다 더 적게 분담되는 것이 바람직하다.

또한, 본 발명에서, 상기 픽셀로우들에서 제 1 게이트 라인이 분담하는 픽셀수와 제 2 게이트 라인이 분담하는 픽셀 수가 서로 다른 것이 바람직하다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 2는 본 발명의 바람직한 일 실시예에 따른 액정표시장치의 개략적인 분해 사시도이다.

도 2를 참조하면, 액정표시장치(100)는 크게 액정표시패널 어셈블리(110), 백라이트 어셈블리(120), 샤시(130) 및 커버(140)를 포함한다.

상기 액정표시패널 어셈블리(110)의 액정표시패널(112)은 TFT 기판(112a)과 컬러필터기판(112b)을 포함한다. 상기 TFT 기판(112a)에는 poly-si TFT 공정에 의해 매트릭스 형태로 표시영역(111; 도 4에 도시됨)이 형성되고, 상기 표시 영역의 일측에는 데이터 구동회로(113; 도 4에 도시됨) 및 게이트 구동회로(114, 115; 도 4에 도시됨)들이 형성된다. 상기 컬러필터기판(112b)에는 RGB 화소 및 투명공통전극들이 형성된다. 상기 TFT 기판(112a)과 컬러필터기판(112b)은 서로 대향되고 이들 사이에 액정이 주입된 후 봉입된다.

상기 액정표시패널(112)의 하부에는 상기 액정표시패널(112)로 광을 제공하기 위한 백라이트 어셈블리(120)를 구비한다. 상기 백라이트 어셈블리(120)는 램프 어셈블리(122), 도광판(124), 광학시트들(126), 반사판(128) 및 몰드 프레임(129)을 포함한다.

따라서, 상기 투명화소전극(111e)과 투명공통전극 사이에 인가된 전압에 의해 액정 배열이 제어되어 통과되는 광량을 제어하여 각 화소의 계조 표시를 하게 된다.

도 3은 도 2에 도시된 TFT 기판의 구성을 나타낸 개략도이다.

도 3을 참조하면, TFT 기판(112a)에는 poly-si TFT 공정에 의해 표시 영역(111), 상기 표시 영역(111)에 형성된 데이터 라인(DL1, DLn)을 구동하기 위한 데이터 구동회로(113), 상기 표시 영역(111)에 형성된 제 1 및 제 2 게이트 라인(GL1~GL2m)을 구동하기 위한 제 1 및 제 2 게이트 구동회로(114, 115)들이 형성된다.

상기 표시 영역(111)은 상기 TFT 기판(112a) 상에 poly-si TFT 공정에 의해 형성된 TFT(111a; 도 4에 도시됨), 상기 TFT(111a)의 드레인 전극(111d)과 연결된 투명화소전극(111e), 상기 TFT(111a)의 소오스 전극(111b)과 연결되는 컬럼 방향으로 연장된 복수의 데이터 라인들(DL1~DLn) 및 TFT(111a)의 게이트 전극(111c)과 연결되고 로우 방향으로 연장된 복수의 게이트 라인들(GL1~GL2m)을 포함한다.

상기 복수의 게이트 라인들(GL1~GL2m)은 상기 표시 영역(111)의 일측에 연장되도록 형성된 제 1 게이트 라인들(GL1~GLm) 및 상기 제 1 게이트 라인들(GL1~GLm)과 절단되며, 상기 제 1 게이트 라인(GL1~GLm)들과 동일선 상에 위치하도록 상기 표시 영역(111)의 타측에 연장되도록 형성된 제 2 게이트 라인들(GLm+1~GL2m)으로 구성된다.

상기 TFT 기판(112a)의 상기 복수개의 데이터 라인들(DL1~DLn)은 상기 TFT 기판(112a)의 일측에 형성된 상기 데이터 구동회로(113)와 연결된다. 또한, 상기 제 1 게이트 라인들(GL1~GLm)의 일단은 제 1 게이트 구동회로(114)와 연결되고, 상기 제 2 게이트 라인들(GLm+1~GL2m)의 일단은 제 2 게이트 구동회로(115)와 연결된다.

도 3에서 보는 바와 같이, 상기 제 1 및 제 2 게이트 라인들(GL1~GLm, GLm+1~GL2m)의 길이는 동일하게 형성되어, 상기 제 1 및 제 2 게이트 라인들(GL1~GLm, GLm+1~GL2m)이 절단된 부위는 상기 표시 영역(111)의 1/2선 상에 위치한다. 즉, 상기 제 1 및 제 2 게이트 라인(GL1~GLm, GLm+1~GL2m)에 연결되는 단위 화소의 수(pixel)가 서로 동일하게 형성된다.

도 4는 도 3에 도시된 게이트 구동 회로의 구체적인 블록도이다. 단, 도 4에 도시된 액정표시패널은 8×6 해상도를 갖는다.

도 4를 참조하면, 표시 셀 어레이 회로(111)는 컬럼 방향으로 연장된 8 개의 데이터 라인들(DL1~DL8)과 로우방향으로 연장된 6 개의 제 1 게이트 라인들(GL1~GL6) 및 제 2 게이트 라인들(GL7~GL12)을 포함한다.

상기 데이터 라인들(DL1~DL8)과 상기 제 1 및 제 2 게이트 라인들(GL1~GL6, GL7~GL12)의 각 교차점들에는 스위칭 역할을 수행하기 위한 TFT(111a)가 형성된다. 상기 TFT(111a)의 소오스 전극에는 데이터 라인(DL1)이 연결되고, 게이트 전극에는 게이트 라인(GL1)이 연결된다. 또한, 상기 TFT(111a)의 드레인 전극에는 투명화소전극(111b)이 연결된다.

상기 데이터 라인들(DL1~DL8)은 TFT 기판(112a)의 상측에 형성된 데이터 구동회로(113)와 연결된다. 한편, 제 1 게이트 라인들(GL1~GL6)의 일단은 상기 TFT 기판(112a)의 좌측에 형성된 제 1 게이트 구동회로(114)와 연결되고, 상기 제 2 게이트 라인들(GL7~GL12)의 일단은 상기 TFT(112a)의 우측에 형성된 제 2 게이트 구동회로(115)와 연결된다.

상기 제 1 게이트 구동회로(114)는 복수개의 스테이지(SRC1~SRC7)를 갖는 쉬프트 레지스터(114a)로 구성된다. 상기 쉬프트 레지스터(114a)는 6 개의 제 1 게이트 라인(GL1~GL6)들과 대응하는 6 개의 스테이지(SRC1~SRC6)와 하나의 더미 스테이지(SRC7)로 구성되며, 상기 각 스테이지(SRC1~SRC6)의 출력은 상기 제 1 게이트 라인들(GL1~GL6)로 제공된다. 각 스테이지(SRC1~SRC6)에는 클럭신호 입력단자(CK), 제 1 전원전압단자(VOFF or VSS) 및 제 2 전원전압단자(VON or VDD)들이 연결된다.

상기 제 2 게이트 구동회로(115)는 복수개의 스테이지(SRC8~SRC14)를 갖는 쉬프트 레지스터(115a)로 구성된다. 상기 쉬프트 레지스터(115a)는 6 개의 제 2 게이트 라인(GL7~GL12)들과 대응하는 6 개의 스테이지(SRC8~SRC13)와 하나의 더미 스테이지(SRC14)로 구성되며, 상기 각 스테이지(SRC8~SRC13)의 출력은 상기 제 2 게이트 라인들(GL7~GL12)로 제공된다. 각 스테이지(SRC8~SRC14)에는 클럭신호 입력단자(CK), 제 1 전원전압단자(VOFF or VSS) 및 제 2 전원전압단자(VON or VDD)들이 연결된다.

상기 제 1 및 제 2 게이트 구동회로(114, 115)의 첫 번째 스테이지(SRC1, SRC8)에 개시신호(ST)가 각각 제공되면, 첫 번째 제 1 게이트 라인(GL1)에 연결된 4개의 TFT가 구동되고, 첫 번째 제 2 게이트 라인(GL7)에 연결된 4개의 TFT 구동된다.

이후, 첫 번째 스테이지(SRC1, SRC8)의 출력신호가 다음 스테이지(SRC2, SRC9)의 제어신호로 제공되어 다음 스테이지(SRC2, SRC9)에 의해 대응하는 두 번째 제 1 및 제 2 게이트 라인(GL2, GL8)과 연결된 스위칭 트랜지스터가 구동된다. 이와 같이, 1 프레임(frame)내에 6 개의 제 1 및 제 2 게이트 라인(GL1~GL6, GL7~GL12)이 구동된다.

도 5는 도 3의 게이트 라인의 RC 지연 회로를 나타낸 회로도이다. 단, 도 5는 제 1 및 제 2 게이트 라인에 두 개의 화소가 각각 연결된 것을 예로 들어 설명한다. 여기서, "R"은 각 화소의 TFT가 턴온되었을 때의 저항이고, "C"는 상기 투명화소전극과 투명공통전극 사이의 정전용량이다.

도 5를 참조하면, 제 1 RC 지연회로(150)는 제 1 게이트 구동 전원전압(V1)과 제 1 노드(N1) 사이에 제 1 저항(R1)이 직렬 연결되고, 상기 제 1 노드(N1)과 접지 사이에 제 1 정전용량(C1)이 병렬 연결된다. 상기 제 1 노드(N1) 및 제 2 노드(N2) 사이에 제 2 저항(R2)이 직렬 연결되고, 상기 제 2 노드(N2) 및 접지 사이에 제 2 정전용량(C2)이 병렬 연결된다.

또한, 제 2 RC 지연회로(160)는 제 2 게이트 구동 전원전압(V2)과 제 3 노드(N3) 사이에 제 3 저항(R3)이 직렬 연결되고, 상기 제 3 노드(N3)와 접지 사이에 제 3 정전용량(C3)이 병렬 연결된다. 상기 제 3 노드(N3)와 제 4 노드(N4) 사이에 제 4 저항(R4)이 직렬 연결되고, 상기 제 4 노드(N4)와 접지 사이에 제 4 정전용량(C4)이 병렬 연결된다. 이때, 상기 제 1 및 제 2 게이트 구동 전원전압(V1, V2)은 상기 TFT의 턴온(turn-on) 전압이다.

상기 제 1 게이트 구동 전원전압(V1)에 의한 제 1 RC 지연회로(150)에서의 $\tau = (R1 + R2) \times (C1 + C2)$, 즉 $\tau = 4RC'$ 가 된다. 또한, 상기 제 2 게이트 구동 전원전압(V2)에 의한 제 2 RC 지연회로(160)에서의 $\tau = (R3 + R4) \times (C3 + C4)$, 즉 $\tau = 4RC'$ 가 된다.

이때, 상기 제 1 RC 지연회로(150)는 상기 제 2 RC 지연회로(160)와 연결되지 않음으로 상기 제 1 및 제 2 게이트 구동 전원전압(V1, V2)을 인가 시기가 다르더라도 상기 제 1 및 제 2 게이트 구동 전원전압(V1, V2) 사이의 전류 이동이 발생하지 않는다.

도 6은 본 발명의 다른 실시예에 따른 TFT 기판의 구성을 나타낸 개략도이다. 단, 도 6을 설명하는데 있어서, 도 3에서 설명된 구성요소와 동일한 기능을 수행하는 구성요소에 대해서는 동일한 참조 부호를 병기하고, 그 기능의 설명은 생략한다.

도 6을 참조하면, 상기 복수의 게이트 라인(GL1~GL2n)들은 상기 표시영역(111)의 일측에 연장되도록 형성된 제 1 게이트 라인들(GL1~GLn) 및 상기 제 1 게이트 라인들(GL1~GLn)과 서로 절단되도록 형성되고, 상기 제 1 게이트 라인들(GL1~GLn)과 동일선 상에 위치하며, 상기 표시영역(111)의 타측에 연장되도록 형성된 제 2 게이트 라인들(GLn+1~GL2n)로 구성된다.

상기 TFT 기판(112a)의 상기 복수개의 데이터 라인들(DL1~DLn)은 상기 TFT 기판(112a)의 일측에 형성된 상기 데이터 구동회로(113)와 연결된다. 또한, 상기 제 1 게이트 라인들(GL1~GLn)의 일단은 제 1 게이트 구동회로(114)와 연결되고, 상기 제 2 게이트 라인들(GLn+1~GL2n)의 일단은 제 2 게이트 구동회로(115)와 연결된다.

도 6에서 보는 바와 같이, 상기 복수의 제 1 및 제 2 게이트 라인들(GL1~GLn, GLn+1~GL2n)의 절단된 부위는 서로 엇갈리게 형성된다. 즉, 첫 번째 상기 제 1 게이트 라인(GL1)에는 상기 제 2 게이트 라인(GLn)보다 더 많은 단위 화소가 연결되고, 다음 상기 제 1 게이트 라인(GL2)에는 상기 제 2 게이트 라인(GLn+1)보다 더 적은 단위 화소가 연결되고, 계속 이와 같이 반복된다.

또한, 도면에 도시되지는 않았지만, 상기 제 1 및 제 2 게이트 라인들의 절단된 부위는 각기 서로 다른 위치에 형성된다. 즉, 제 1 및 제 2 게이트 라인들 각각에 연결되는 단위 화소의 수를 서로 다르게 형성한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치는 기판 상에 복수의 픽셀들이 매트릭스 형태로 형성된 표시영역에는 각 픽셀로우 중 일부 픽셀들에 스캔펄스를 공급하기 위한 복수의 제 1 게이트 라인들 및 각 픽셀로우 중 나머지 일부 픽셀들에 스캔펄스를 공급하기 위한 복수의 제 2 게이트 라인들을 포함한다. 상기 제 1 및 제 2 게이트 라인들은 상기 표시영역의 제 2 및 제 3 주변에 배치된 제 1 및 제 2 게이트 구동회로에 의해 각각 구동된다.

따라서, 상기 제 1 및 제 2 게이트 구동회로 사이의 게이트 라인 구동 지연이 발생하여도 상기 제 1 및 제 2 게이트 구동회로 사이의 전류 이동을 방지할 수 있다.

실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

기판 상에 복수의 픽셀들이 매트릭스 형태로 형성된 표시영역;

상기 표시영역의 각 픽셀컬럼에 픽셀 데이터를 공급하기 위한 복수의 데이터 라인들;

상기 표시영역의 제 1 주변에 배치되어 상기 복수의 데이터 라인들을 구동하기 위한 데이터 구동회로;

상기 표시영역의 각 픽셀로우 중 일부 픽셀들에 스캔펄스를 공급하기 위한 복수의 제 1 게이트 라인들;

상기 표시영역의 제 2 주변에 배치되어 상기 복수의 제 1 게이트 라인들을 구동하기 위한 제 1 게이트 구동회로;

상기 표시영역의 각 픽셀로우 중 나머지 일부 픽셀들에 상기 스캔펄스를 공급하기 위한 복수의 제 2 게이트 라인들;

상기 표시영역의 제 3 주변에 배치되어 상기 복수의 제 2 게이트 라인들을 구동하기 위한 제 2 게이트 구동회로를 구비한 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서, 상기 픽셀로우들에서 제 1 게이트 라인들이 분담하는 각각의 픽셀 수가 모두 동일한 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서, 상기 각 픽셀로우에서 제 1 및 제 2 게이트 라인들이 분담하는 픽셀 수가 동일한 것을 특징으로 하는 액정표시장치.

청구항 4.

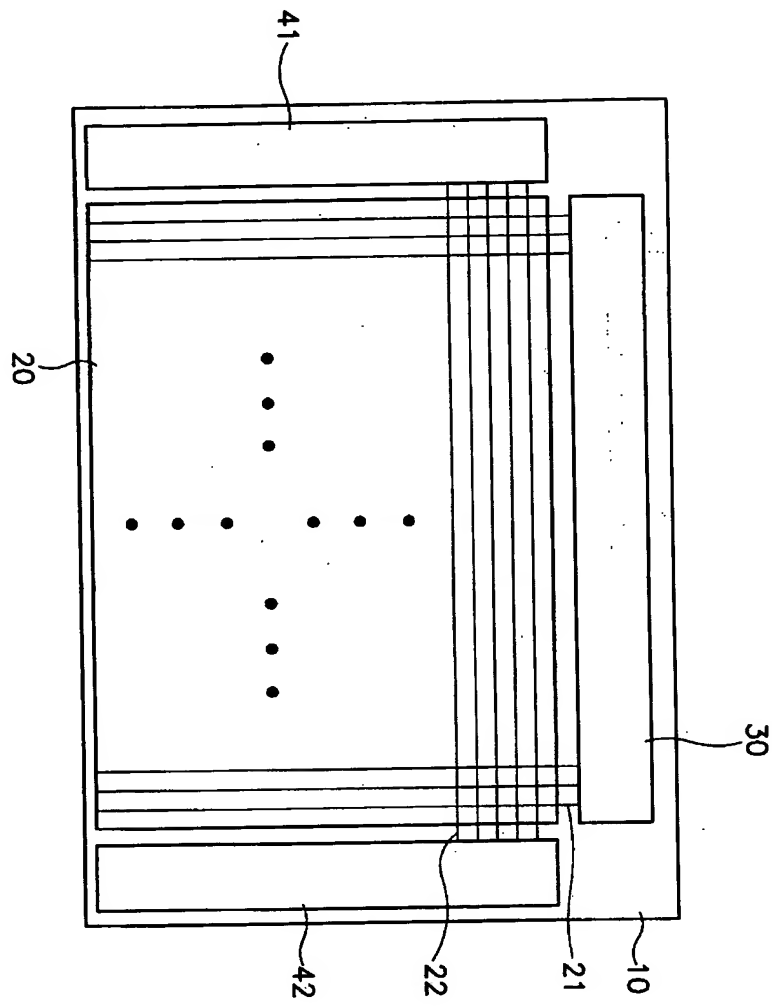
제 1 항에 있어서, 상기 각 홀수번째 픽셀로우에서는 제 1 게이트 라인이 분담하는 픽셀 수가 제 2 게이트 라인이 분담하는 픽셀 수 보다 더 많고, 상기 각 짝수번째 픽셀로우에서는 제 1 게이트 라인이 분담하는 픽셀 수가 제 2 게이트 라인이 분담하는 픽셀 수 보다 더 적게 분담된 것을 특징으로 하는 액정표시장치.

청구항 5.

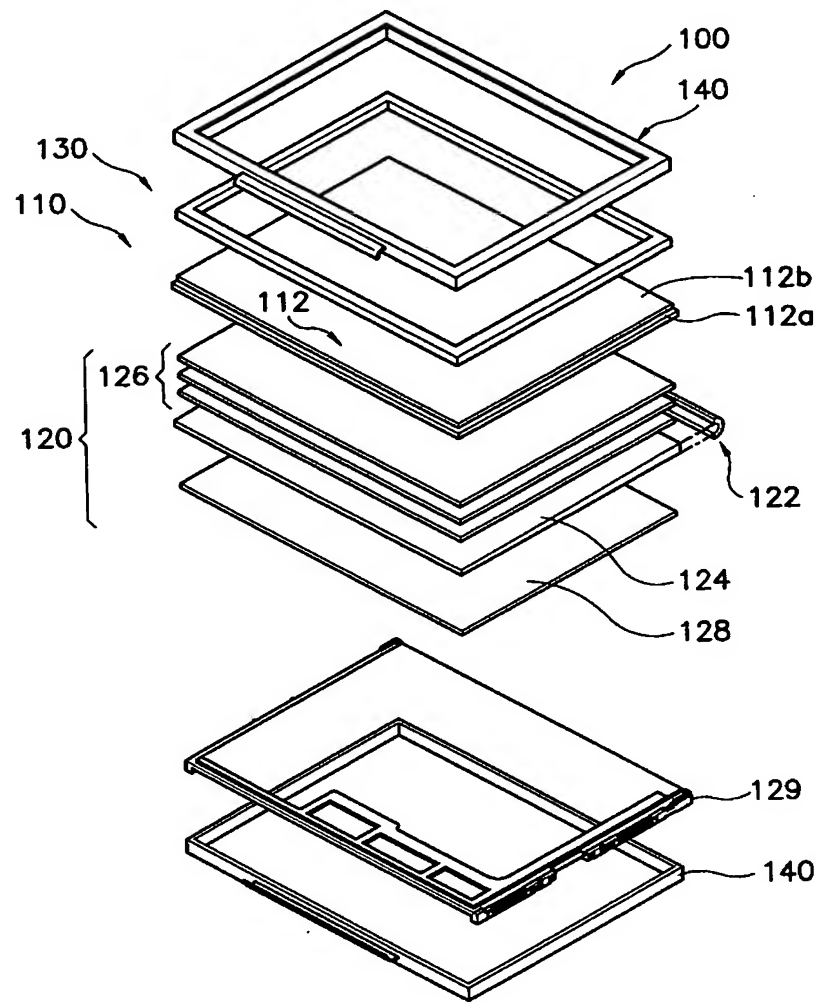
제 1 항에 있어서, 상기 픽셀로우들에서 제 1 게이트 라인이 분담하는 픽셀 수와 제 2 게이트 라인이 분담하는 픽셀 수가 서로 다른 것을 특징으로 하는 액정표시장치.

도면

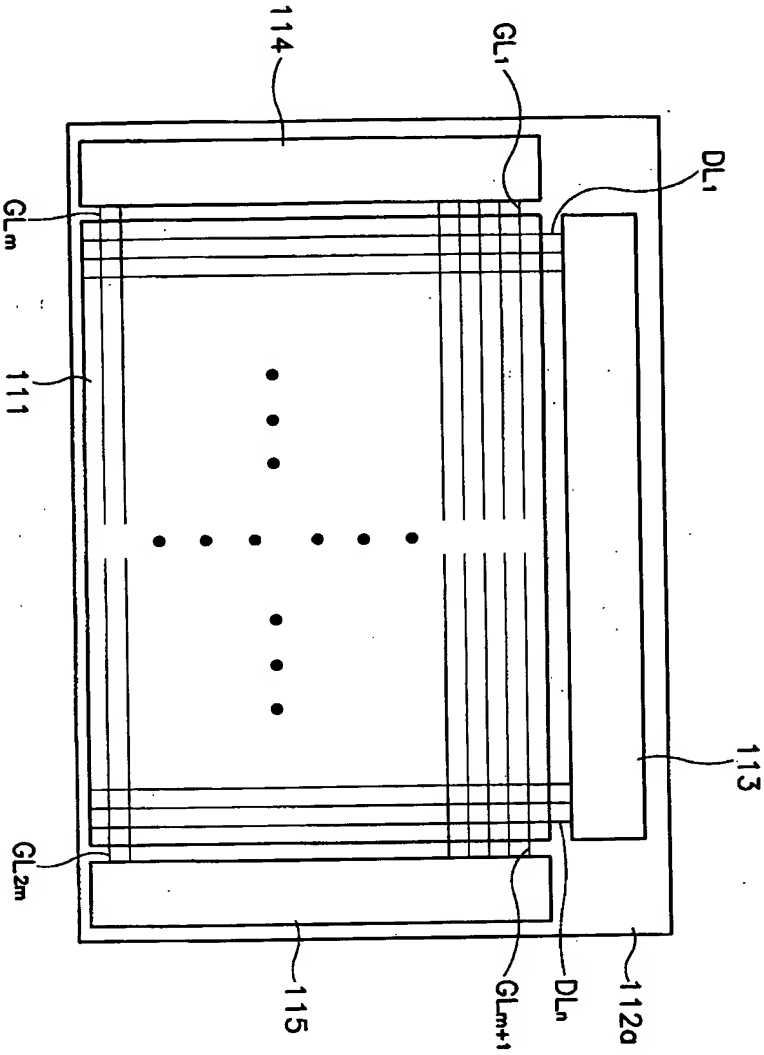
도면 1



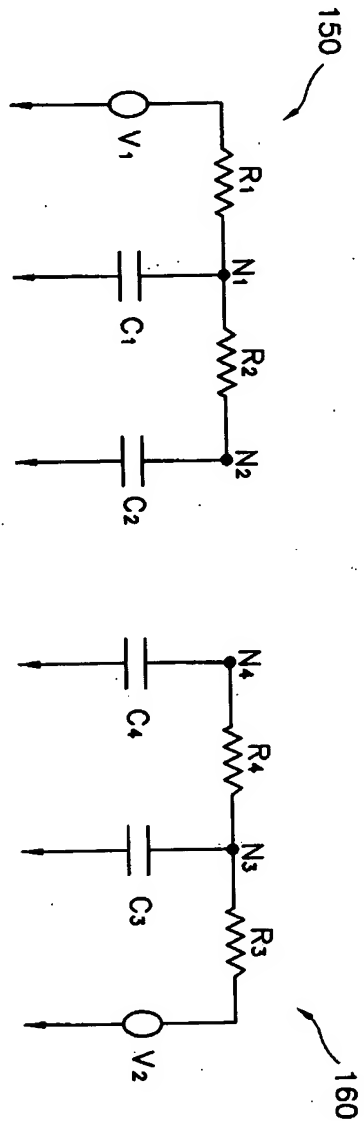
도면 2

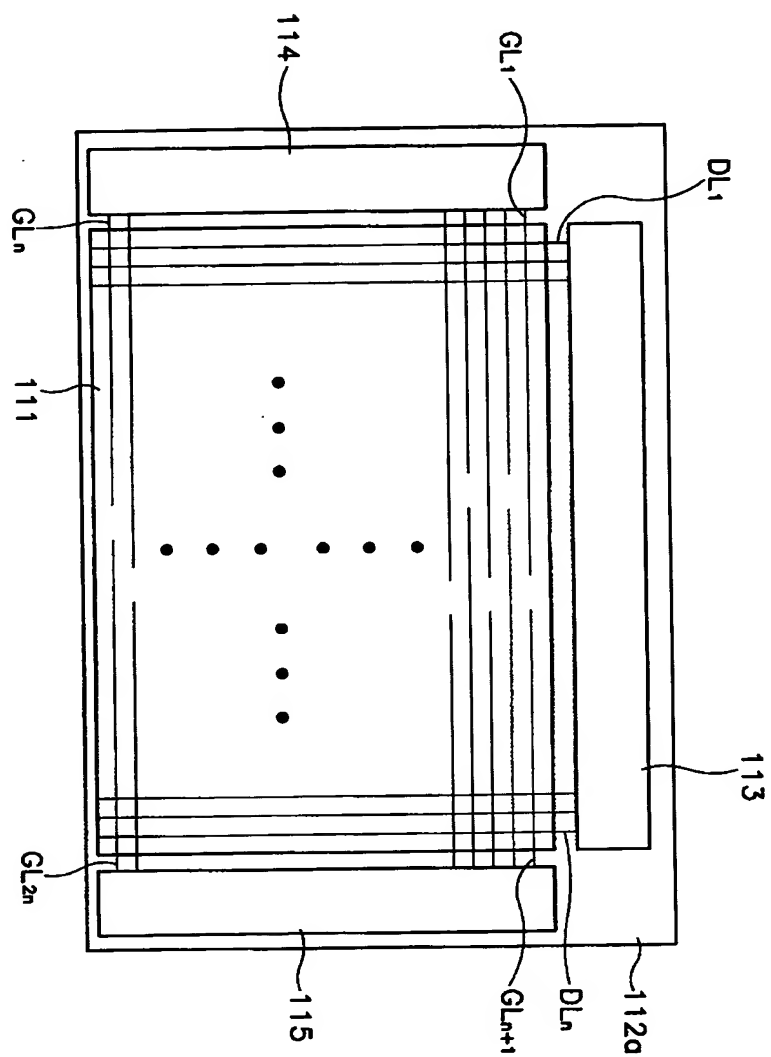


도면 3



도면 5





This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**